

文章编号 1004-924X(2023)03-0363-08

DC-55 GHz 高性能焊球阵列封装用 非垂直互连结构

刘林杰^{1,2}, 郝跃¹, 周扬帆^{2*}, 王轲², 乔志壮²

(1. 西安电子科技大学, 陕西 西安 710000;

2. 中国电子科技集团公司第十三研究所, 河北 石家庄 050000)

摘要: 根据 5G 信号对通道带宽的要求, 通过研究陶瓷基板中“类同轴”互连的微波特性, 设计了一种新型非垂直互连结构, 通过陶瓷介电层之间金属化通孔的错位设计, 改善垂直过孔与水平传输线转弯处的阻抗突变, 更有利于高频信号的传输, 进一步扩展带宽。分析了错位角度、阶梯级数、焊球半径和焊球间距对传输性能的影响, 设计并实现了宽带低损耗互连陶瓷基板。测试结果表明, 该结构的最高应用频率可达 55 GHz, 在 DC-55 GHz 频带内插入损耗小于 1.5 dB, 回波损耗大于 15 dB, 同时利用实测数据进行信号传输验证, 结果表明在未引入预加重、均衡的情况下即可满足 56 G/112 G NRZ, 112 G PAM4 高速信号的传输。

关键词: 无线通信; 5G; 高速; 陶瓷基板; 类同轴; 预加重

中图分类号: TN405; TN958.92 **文献标识码:** A **doi:** 10.37188/OPE.20233103.0363

Non-vertical ball grid array interconnection of ceramic package for high-performance DC-55 GHz application

LIU Linjie^{1,2}, HAO Yue¹, ZHOU Yangfan^{2*}, WANG Ke², QIAO Zhizhuang²

(1. Xidian University, Xi'an 710000, China;

2. The 13th Research Institute of CETC, Shijiazhuang 050000, China)

* Corresponding author, E-mail: zhouyf@cetc13.cn

Abstract: The advent of 5G technology has spurred rapid advancements in high-speed signal development, leading to increasing bandwidth requirements for signal channels. This study examines the microwave characteristics of "quasi-coaxial" interconnections in ceramic substrates and proposes a novel non-vertical interconnection structure. By optimizing the design of metallized vias between ceramic layers, the impedance at the junction of vertical vias and horizontal transmission lines is improved, enhancing high-frequency signal transmission and broadening bandwidth. The paper analyzes the effect of misalignment angle, ladder series, solder ball radius, and distance between solder balls on transmission performance. The result is a broadband, low-loss ceramic substrate interconnection. Experimental results show that the structure can operate at 55 GHz with an insertion loss less than 1.5 dB and a return loss greater than 15 dB in

收稿日期: 2022-08-26; 修订日期: 2022-09-03.

基金项目: 面向紫外探测应用的高性能 4H-SiC 雪崩光电二极管及探测器阵列基础研究项目 (No. 61974134)

the DC-55 GHz band. The measured data demonstrate satisfactory transmission of 56 G/112 G NRZ and 112 G PAM4 high-speed signals without the need for preweighting and equalization.

Key words: wireless communication; 5G; high-speed; ceramic substrate; quasi-coaxial; preweighting

1 引言

随着通讯系统小型化、轻量化、阵列化及多功能一体化发展趋势,与之相配套的高频、高速、宽带的封装外壳需求迫切。特别是数字系统中,更高的数据速率、更大的集成密度以及更多的输入/输出信号成为主流的发展方向^[1-6]。高速信号的传输信道需要低损耗材料^[7-9]以及良好的信号完整性设计^[10-13],在超高速串行器(SERializer)/解串器(DESerializer) SerDes 应用中,数据传输速率越来越高,信号通道的带宽越来越宽,对封装结构的带宽要求也越来越高。

球栅阵列(Ball Grid Array, BGA)因体积小、引脚多、信号完整性优异等优点,而成为射频微波和高速 IC 广泛采用的封装类型。信号通过印制电路板(Printed Circuit Board, PCB)的表层传输线馈送至埋层带线,然后通过 PCB 板上方的球栅结构传输至陶瓷基板的“类同轴”互连结构,再到水平埋层带线,最后将陶瓷基板中的传输线与芯片连接,完成封装。在信号传输过程中,陶瓷基板与焊球的过渡连接上有一个关键的互连结构,目前主要采用垂直互连结构^[14-15],带宽可达 0.5~20 GHz^[16]。在进一步的三维封装结构研究中,通过在焊球周围增加接地焊球和大量金属化,引入补偿电容、屏蔽辐射电磁波,频率可提高至 K 波段,带宽拓展为 DC-35 GHz^[17-18]。

在毫米波以上频段,传统的 BGA 垂直互连结构拐角处存在阻抗突变,特征阻抗不连续,导致信号插入损耗和回波损耗变差,从而影响信号传输。本文基于“类同轴”互连结构,提出一种新型非 90°垂直结构,通过陶瓷介电层之间金属化通孔的错位设计,改善垂直过孔与水平传输线转弯处的阻抗突变,通过三维电磁场建模、仿真、样品制作和测试,验证了新型非垂直互连结构能够有效增加带宽,最终设计并实现了 DC-55 GHz 低损耗互连结构,可满足高速数字和宽带射频电路的应用。

2 非垂直互连结构模型

2.1 互连结构模型建立

典型 BGA 封装示意图如图 1 所示。本文采用三维电磁仿真软件 High Frequency Structure Simulator(HFSS)建立了“类同轴”互连结构模型,如图 1 所示。该模型由上、下两相似陶瓷部件构成准背靠背模型,射频信号(图 2 中带箭头信号线标注)由下陶瓷部件表层共面波导(Coplanar Waveguide, CPW)传输至埋层带线,经下陶瓷“类同轴”结构非垂直转换方式^[19-20]将信号通过 BGA 传输至旋转 180°镜像对称的上陶瓷“类同轴”结构中,经上层 CPW 输出。“类同轴”非垂直互连结构由多层陶瓷的过孔连接形成,每一层陶瓷由射频信号线以及外围的接地屏蔽线构成。

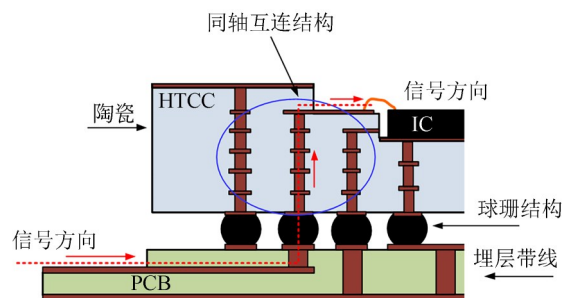


图 1 球栅阵列封装结构示意图

Fig. 1 Framework of ball grid array package

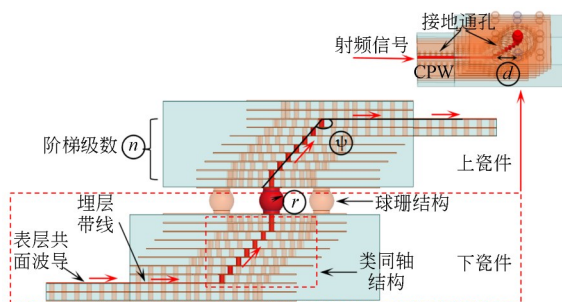


图 2 非垂直互连结构准背靠背模型

Fig. 2 Quasi back-to-back model of non-vertical interconnection structure

2.2 结构参数设置

图2为互连结构模型,4个关键的结构参数为^[21-23]:错位角度 ψ 、错位阶梯级数 n 、信号焊球半径 r 以及信号焊球与屏蔽焊球间距 d 。

非垂直互连结构是利用每一层陶瓷的信号孔之间错位设计完成的,错位角度 ψ 分别取 90° (垂直互连结构), 105° , 120° , 135° , 150° ,以研究不同传输角度对信号回波损耗和插入损耗的影响,同时角度也与互连传输结构的体积以及传输路径相关,需要结合工程折中考虑。

非垂直互连结构是基于多层结构传输模型,因此阶梯级数直接影响性能,本文分别仿真了两阶、四阶、六阶梯错位结构。类同轴结构的特征阻抗计算公式为:

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{d}{r}, \quad (1)$$

式中: r 为信号焊球半径, d 为信号与屏蔽焊球之间的中心间距, ϵ_r 为介质的相对介电常数。

仿真中,设置屏蔽与信号焊球之间的中心间距为0.6,0.8,1.0 mm,计算出50 Ω 阻抗匹配时相对应的焊球直径分别为0.3,0.4,0.5 mm。

2.3 制作工艺

互连结构均使用介电常数为9.8、损耗角正切值为0.003的90%氧化铝陶瓷,使用高温共烧陶瓷(High Temperature Co-fired Ceramic, HTCC)技术^[24]分体加工而成,BGA球材料为Pb90Sn10,工艺采用回流焊法。基于HTCC技术,陶瓷结构件经流延、落料、冲孔、填孔、印刷、叠片、层压、热切、烧结、镀镍、镀金等步骤制作而成。“类同轴”非垂直互连结构由陶瓷件中金属化过孔与印刷的金属化传输线连接而成。

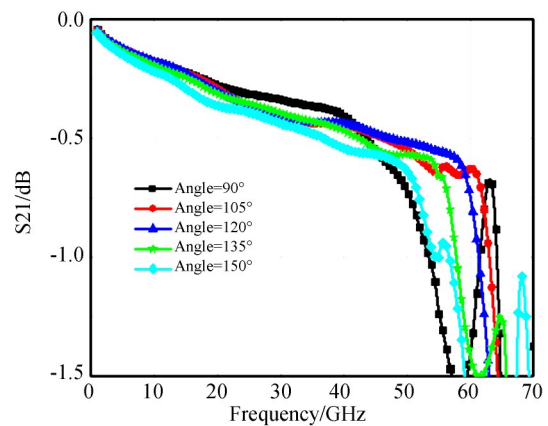
3 仿真分析

为了改善40 GHz以上信号的传输性能,这里采用错位角度、阶梯阶数、焊球直径和焊球间距4个参数进行优化设计。HFSS仿真结果以S参数形式体现,仿真频率为DC-67 GHz,以验证优化方法的有效性。

3.1 错位角度

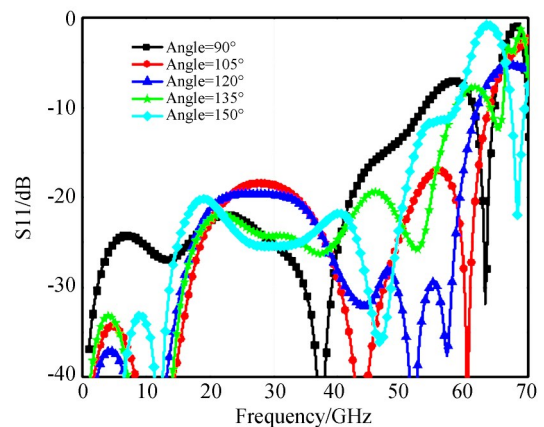
如图3(a)所示,错位角度从 90° 增加到 105° 时,在40 GHz以下, 90° 垂直结构具有优势,但频率大于40 GHz时, 90° 垂直结构的插入损耗急速

增加。这是因为射频信号传输通过直角时不连续,产生高次模,从而增加了信号的高频损耗,这也印证了 90° 垂直结构在宽带高频应用的局限性。当 $105^\circ \leq \psi \leq 135^\circ$,截止频率大于60 GHz。从图3(b)可以看出, 90° 垂直结构在45 GHz以上性能恶化, $\psi=105^\circ, 120^\circ$ 在20~40 GHz频段内性能较差, $\psi=135^\circ$ 则满足DC-55 GHz频带内回波损耗均大于20 dB。综合考虑尺寸和性能,本文选择 135° 作为错位角度。



(a) S21仿真曲线对比

(a) Comparison of S21 simulation curves



(b) S11仿真曲线对比

(b) Comparison of S11 simulation curves

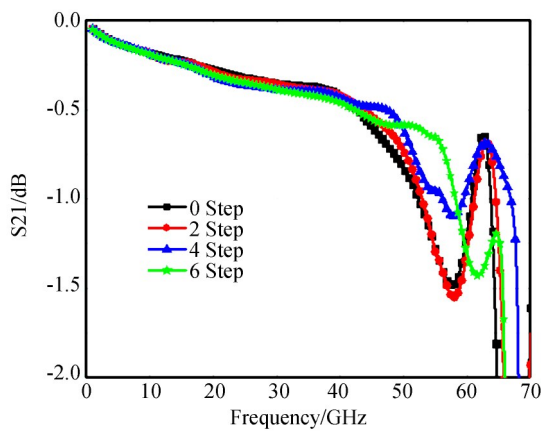
图3 不同错位角度非垂直结构仿真结果

Fig. 3 Simulation results of non-vertical structures with different misalignment angles

3.2 阶梯级数

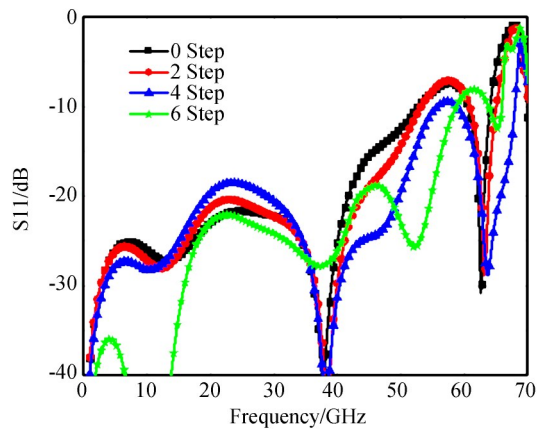
图4为不同错位阶梯级数结构的S参数仿真结果。图4(a)为插入损耗仿真曲线,可以看

到,随着阶梯级数的增加,在 DC-55 GHz 频率内插入损耗从 1.5 dB 降低到 0.6 dB。这是因为每一阶阶梯都是由金属化过孔和水平金属化传输线构成的,可以看成 LC 谐振结构,因此阶梯数的增加相当于串联 LC 级数的增加,可以有效地改善阻抗的突变,优化高频段的传输性能,达到扩展带宽的目的。图 4(b)为回波损耗仿真曲线,可以看出,六级阶梯回波损耗在 DC-55 GHz 大于 18 dB,随着级数的增加,截至频率点在后移,但在工艺中,陶瓷片的层数过多,导致陶瓷件厚度过大,工艺难度增加,综合考虑错位阶梯为 6 阶。



(a) S21 仿真曲线对比

(a) Comparison of S21 simulation curves



(b) S11 仿真曲线对比

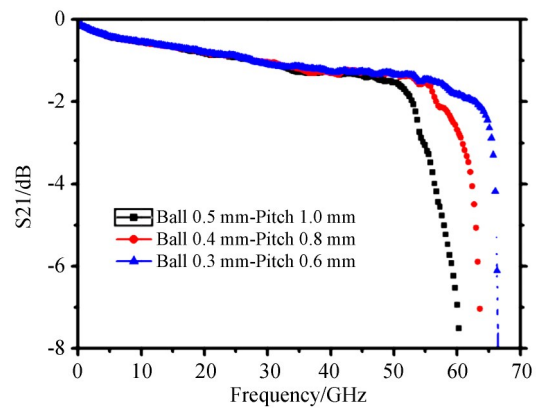
(b) Comparison of S11 simulation curves

图 4 不同阶梯数非垂直结构仿真结果

Fig. 4 Simulation results of non-vertical structures with different number of steps

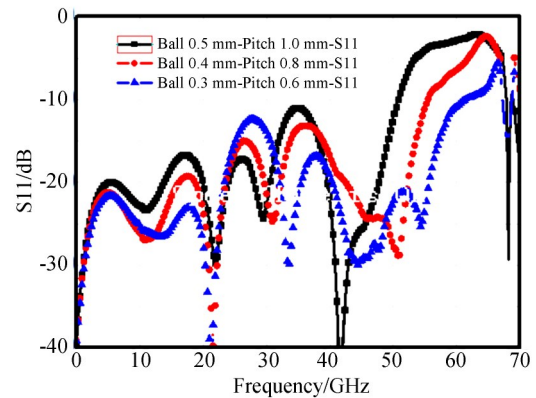
3.3 焊球直径和焊球间距

屏蔽焊球与信号焊球之间的中心间距 d 为 0.6, 0.8, 1.0 mm 时,对应信号焊球直径分别为 0.3, 0.4, 0.5 mm,对 3 种结构进行仿真,仿真结果见图 5。3 种结构的截止频率分别为 50, 60, 65 GHz,焊球直径和接地焊球之间的中心间距分别为 0.3 和 0.6 mm 时截止频率最高。这也说明随着焊球球径以及焊球之间中心间距的减小,该结构的应用带宽变宽。



(a) S21 仿真曲线对比

(a) Comparison of S21 simulation curves



(b) S11 仿真曲线对比

(b) Comparison of S11 simulation curves

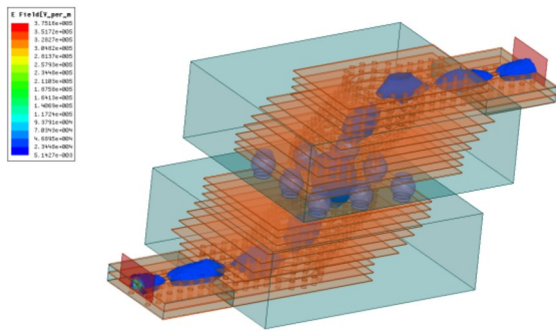
图 5 不同球径、节距非垂直结构的仿真结果

Fig. 5 Simulation results of non-vertical structures with different solder ball radii and pitches

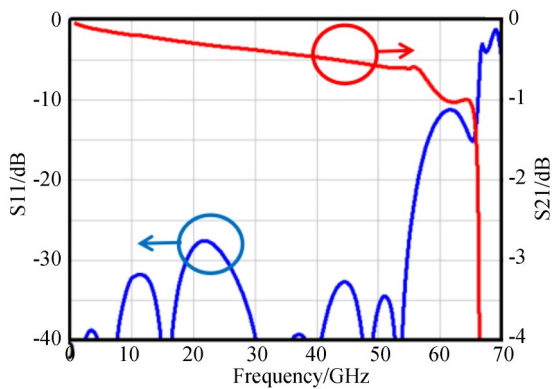
3.4 优化结果

基于以上参数分析,最终采用的结构参数如

下:错位角度为 135° ,错位阶数为 6 阶,焊球直径、接地焊球之间中心间距分别为 0.3,0.6 mm,电磁场仿真结果如图 6(a)所示。可以看到连接部分的电场分布,阻抗的不连续性得到了改善,由图 6(b)可知,准背靠背传输结构应用频段 DC-55 GHz,带内回波损耗大于 20 dB,插入损耗小于 0.6 dB。



(a) 电磁场仿真
(a) Simulation of electromagnetic field



(b) S参数仿真结果
(b) Simulation results of S parameters

图 6 非垂直互连结构的优化结果

Fig.6 Optimized result of non-vertical interconnection structure

4 实验

根据仿真的优化尺寸加工陶瓷结构件,实物如图 7(a)所示。该结构外形尺寸为 $4\text{ mm} \times 6\text{ mm} \times 3\text{ mm}$,采用矢量网络分析仪配合 $250\text{ }\mu\text{m}$ 的 GSG 探针对样品进行测试,如图 7(b)所示。图 7(c)和 7(d)分别为上、下瓷件实物图,图 8 为

测试结果。测试结果表明,非垂直互连过渡结构的最高应用频率可达 55 GHz,准背靠背过渡结构在 DC-55 GHz 的插入损耗小于 1.5 dB,回波损耗大于 15 dB。

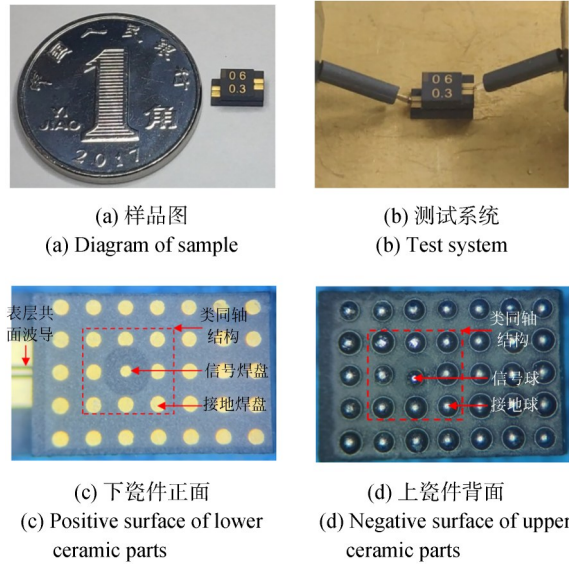


图 7 非垂直结构准背靠背实物

Fig.7 Quasi back-to-back physical map of non-vertical interconnection structure

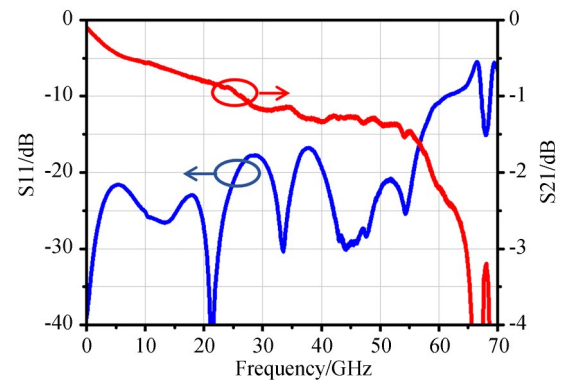


图 8 非垂直互连结构测试结果

Fig.8 Test results of non-vertical interconnection structure

为了评估新型非垂直互连结构的传输特性,本文在 ADS 软件中建立了评估电路,如图 9 所示。随机信号源产生不同速率的信号,经过互连结构,利用实测的 S 参数计算分析,末端得到眼图分析结果,通过眼图的数据来判断互连结构的传输性能。

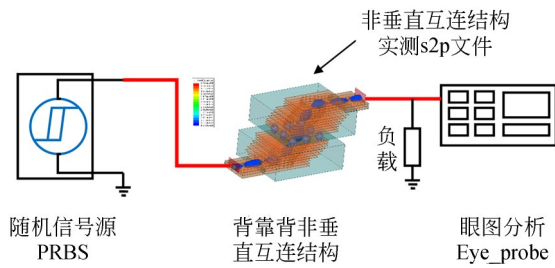


图9 信号传输仿真结构框图

Fig.9 Block diagram of signal transmission simulation structure

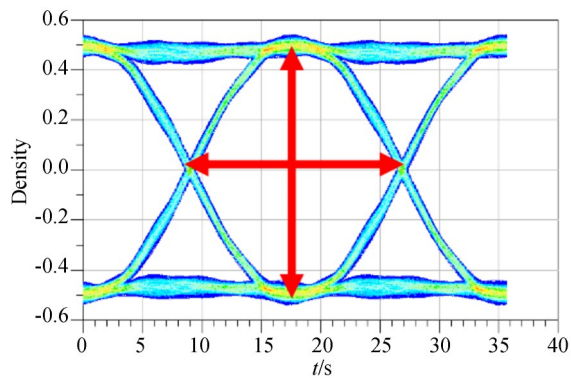
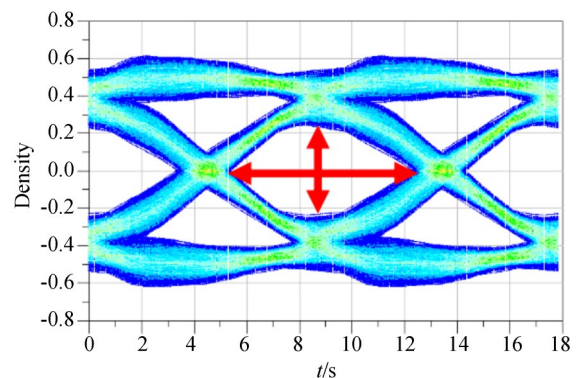
(a) 56 Gb/s NRZ信号眼图
(a) Eye diagrams for the 56 Gb/s NRZ(b) 112 Gb/s NRZ信号眼图
(b) Eye diagrams for the 112 Gb/s NRZ

图10 传输眼图

Fig. 10 Transmission eye diagrams

由图10和图11可见,本文提出的非垂直互连结构在未引入预加重、均衡等常用手段来补偿频域衰减的情况下,信道的原始特性即可满足

56 G/112 G NRZ, 112 G PAM4 高速信号的传输。

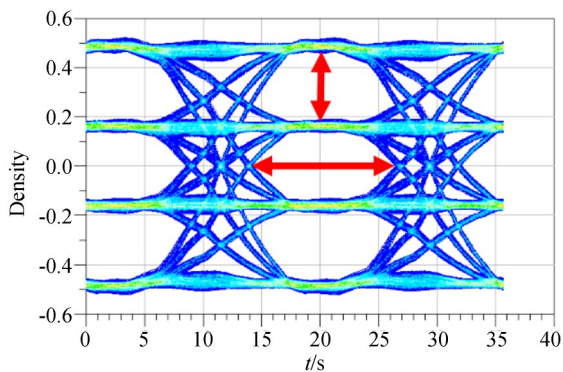


图11 112 Gb/s PAM4信号传输眼图

Fig. 11 Eye diagrams for the 112 Gb/s PAM4

5 结论

本文设计并制作了一种宽带高性能非垂直互连结构,该结构的错位角度为 135° ,阶梯阶数为6阶,焊球直径和接地焊球之间的中心间距分别为0.3 mm和0.6 mm。测试结果表明,在DC—55 GHz频带内该结构的插入损耗小于1.5 dB,回波损耗大于15 dB,在高速数字和宽带射频电路BGA封装中具有显著优势。利用ADS建立评估模型,实测结果表明,该互连结构能够满足56 G/112 G NRZ, 112 G PAM4信号的高速传输。

参考文献:

- [1] ZHANG Y J, FAN J. An intrinsic circuit model for multiple vias in an irregular plate pair through rigorous electromagnetic analysis[J]. *IEEE Transactions on Microwave Theory and Techniques*, 2010, 58(8): 2251-2265.
- [2] FAN J, YE X N, KIM J, *et al.* Signal integrity design for high-speed digital circuits: progress and directions[J]. *IEEE Transactions on Electromagnetic Compatibility*, 2010, 52(2): 392-400.
- [3] ARCHAMBEAULT B, BRENCH C, CONNOR S. Review of printed-circuit-board level EMI/EMC issues and tools[J]. *IEEE Transactions on Electromagnetic Compatibility*, 2010, 52(2): 455-461.
- [4] WU T L, BUESINK F, CANAVERO F. Overview of signal integrity and EMC design technologies on PCB: fundamentals and latest progress[J]. *IEEE Transactions on Electromagnetic Compatibility*, 2013, 55(4): 624-638.
- [5] WU T L, CHUANG H H, WANG T K. Overview of power integrity solutions on package and PCB: decoupling and EBG isolation [J]. *IEEE Transactions on Electromagnetic Compatibility*, 2010, 52(2): 346-356.
- [6] LI E P, WEI X C, CANGELLARIS A C, *et al.* Progress review of electromagnetic compatibility analysis technologies for packages, printed circuit boards, and novel interconnects[J]. *IEEE Transactions on Electromagnetic Compatibility*, 2010, 52(2): 248-265.
- [7] JIN S, CHEN B C, FANG X, *et al.* Improved “root-omega” method for transmission-line-based material property extraction for multilayer PCBs [J]. *IEEE Transactions on Electromagnetic Compatibility*, 2017, 59(4): 1356-1367.
- [8] HUA L, CHEN B C, JIN S, *et al.* Characterization of PCB dielectric properties using two striplines on the same board [C]. 2014 *IEEE International Symposium on Electromagnetic Compatibility*. Raleigh, NC, USA. IEEE, 2014: 809-814.
- [9] JIN S, FANG X, CHEN B C, *et al.* Validating the transmission-line based material property extraction procedure including surface roughness for multilayer PCBs using simulations [C]. 2016 *IEEE International Symposium on Electromagnetic Compatibility*. Ottawa, ON, Canada. IEEE, 2016: 472-477.
- [10] LIM J, CHOW K S, ZHANG J, *et al.* ASIC package design optimization for 10 Gbps and above backplane serdes links[C]. 2012 *IEEE International Symposium on Electromagnetic Compatibility*. Pittsburgh, PA, USA. IEEE, 2012: 199-204.
- [11] LIM J, ZHANG J, YAO W, *et al.* ASIC package to board BGA discontinuity characterization in >10Gbps SerDes links[C]. 2013 *IEEE International Symposium on Electromagnetic Compatibility*. Denver, CO, USA. IEEE, 2013: 569-574.
- [12] YAO W, LIM J, ZHANG J, *et al.* Design of package BGA pin-out for >25Gb/s high speed SerDes considering PCB via crosstalk [C]. 2015 *IEEE Symposium on Electromagnetic Compatibility and Signal Integrity*. Santa Clara, CA, USA. IEEE, 2015: 111-116.
- [13] JIN S, ZHANG J, FAN J. Optimization of the transition from connector to PCB board[C]. 2013 *IEEE International Symposium on Electromagnetic Compatibility*. Denver, CO, USA. IEEE, 2013: 192-196.
- [14] ZHU Q, VENKATARAMAN S, YE C F, *et al.* Package design optimization for intel SoC xeon-D [J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2018, 8(4): 531-537.
- [15] LIM J, ZHANG J, YAO W, *et al.* ASIC package to board BGA discontinuity characterization in >10Gbps SerDes links[C]. 2013 *IEEE International Symposium on Electromagnetic Compatibility*. Denver, CO, USA. IEEE, 2013: 569-574.
- [16] 向伟玮, 张继帆, 董东, 等. BGA在微系统宽带射频互连中的应用[J]. *电子工艺技术*, 2016, 37(2): 71-73, 93.
- XIANG W W, ZHANG J F, DONG D, *et al.* Application of BGA interconnection in wide-band RF microsystem[J]. *Electronics Process Technology*, 2016, 37(2): 71-73, 93. (in Chinese)
- [17] 刘巍巍, 谭承, 梁栋, 等. 基于BGA技术的毫米波垂直互连设计[C]. 2017年全国微波毫米波会议论文集(中册). 杭州, 2017: 626-629.
- LIU W W, TAN CH, LIANG D, *et al.* Design on millimeter wave vertical connection using the technology of BGA [C]. 2017 *National Microwave and millimeter wave conference, Collection of papers (Volume II)*. Hangzhou, 2017: 626-629. (in Chinese)

- [18] 周骏, 窦文斌, 沈亚, 等. 应用 SIP 技术的宽带板间垂直互连结构[J]. 固体电子学研究与进展, 2012, 32(1): 36-39.
ZHOU J, DOU W B, SHEN Y, *et al.* Broadband vertical transition between substrates in application of SIP technology [J]. *Research & Progress of SSE*, 2012, 32(1): 36-39. (in Chinese)
- [19] KIM G, LU A C W, WEI F, *et al.* 3D strip meander delay line structure for multilayer LTCC-based SiP applications[C]. 2008 58th *Electronic Components and Technology Conference. Lake Buena Vista, FL, USA*. IEEE, 2008: 2081-2085.
- [20] SCHMUCKLE F J, JENTZSCH A, HEINRICH W, *et al.* LTCC as MCM substrate: design of strip-line structures and flip-chip interconnects[J]. *IEEE MTT-S International Microwave Symposium Digest IEEE MTT-S International Microwave Symposium*, 2001, 3: 1903-1906.
- [21] 姜兆国, 陈娜, 张路洋. 基于 BGA 的射频传输性能研究[J]. 电子技术与软件工程, 2018(8): 107-108.
JIANG ZH G, CHEN N, ZHANG L Y. Research on radio frequency transmission performance based on BGA [J]. *Electronic Technology & Software Engineering*, 2018(8): 107-108. (in Chinese)
- [22] JIN S, LIU D Z, CHEN B C, *et al.* Analytical equivalent circuit modeling for BGA in high-speed package[J]. *IEEE Transactions on Electromagnetic Compatibility*, 2018, 60(1): 68-76.
- [23] 邓国庆, 徐正, 刘向宏, 等. 球栅阵列垂直互联传输性能分析与基板叠层设计[J]. 科学技术与工程, 2021(31): 13381-13388.
DENG G Q, XU ZH, LIU X H, *et al.* Transmission performance analysis of ball grid array vertical interconnection and stacked substrate design [J]. *Science Technology and Engineering*, 2021(31): 13381-13388. (in Chinese)
- [24] LU Q, LIU Y K, QIAO Z, *et al.* A study of a low-loss and ultra-wide band transmission structure through BGA based on HTCC technology [C]. 2020 7th *International Conference on Information Science and Control Engineering (ICISCE)*. IEEE, 2020: 144-147.

作者简介:



刘林杰(1985—),男,山东烟台人,高级工程师,博士研究生,2009年于西安电子科技大学获得硕士学位,现为中国电子科技集团公司第十三研究所封装专业部主任,主要从事全系列陶瓷外壳产品及封装技术的研究和管理工作。E-mail: lj.liu@cetc13.cn

导师简介:



郝跃(1958—),男,安徽阜阳人,中国科学院院士,博士生导师,微电子学专家,1982年毕业于西安电子科技大学半导体物理与器件专业,1991年于西安交通大学计算数学专业获得博士学位,长期从事新型宽禁带半导体材料与器件、微纳米半导体器件与高可靠集成电路等方面的科学研究与人才培养。E-mail: yhao@xidian.edu.cn

通讯作者:



周扬帆(1990—),女,山东临沂人,工程师,2015年于电子科技大学获得硕士学位,主要从事高频、高速先进陶瓷封装的研究。E-mail: zhouyf@cetc13.cn